

LES COMPOSANTS DE L'ELECTRONIQUE NUMERIQUE

Les circuits numériques travaillent avec des signaux binaires c'est à dire ne possédant que deux états désignés le plus souvent par 0 et 1. (Bas/Haut -Vrai /Faux - True /False) Ce sont le plus souvent des tensions que nous noterons $V(0)$ et $V(1)$. Si $V(1) > V(0)$ on dit que la **logique** est **positive**.

Ces circuits effectuent sur ces signaux les opérations de base de **l'algèbre de Boole**; opérations ET OU et Complément. A ces opérations de base on ajoute en général les fonctions incluant une inversion : NAND , NOR ainsi que le OU Exclusif XOR .

Les deux niveaux logiques n'ont pas de valeur définie de façon exacte mais acceptent une certaine tolérance , par exemple un niveau est considéré comme bas (zéro) s'il est inférieur à 1 volt et comme haut s'il est supérieur à 2,5V . La largeur de la zone de tolérance ainsi que leur écart défini **l'immunité au bruit** des circuits .

La notion d'impédance d'entrée n'est pas adaptée aux circuits logiques , on parle plutôt d'**entrance**. C'est le courant d'entrée nécessaire pour placer le circuit dans un état logique donné. Ce courant n'est pas forcément le même pour les 2 niveaux , ni de même signe.

Si pour imposer un niveau il faut extraire du courant à l'entrée du circuit (sens négatif des électroniciens) on parle de **logique à extraction de courant** .

Si au contraire le courant d'entrée est positif il s'agit d'une **logique à injection de courant** . La **sortance** n'est pas le courant disponible en sortie mais le nombre maximum d'entrées que l'on peut relier à une sortie sans que son niveau ne sorte de la zone autorisée .

LES FAMILLES LOGIQUES BIPOLAIRES

Une famille logique est un ensemble homogène de composants susceptible de matérialiser les opérations logiques de base. La famille la plus ancienne mais aussi la plus simple est la logique à diodes.

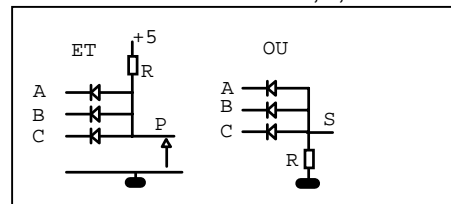
LA LOGIQUE A DIODES

Les deux montages de base sont reproduits ci contre. A l'entrée le niveau 0 correspond à 0V le niveau 1 à 5V .(logique positive) Pour le circuit de gauche si l'une des entrées A,B,C est au niveau bas , la diode correspondante est conductrice et le point P se trouve au potentiel 0,7V que l'on peut considérer comme un niveau bas . Le circuit obéit donc à la relation $P=ABC$ produit logique des 3 entrées.

Sur le circuit de droite la sortie S est au niveau haut 4,3V si l'une des entrées est portée à +5V , c'est donc un OU logique $S=A+B+C$.

Ces montages ont l'avantage d'autoriser un nombre quelconque d'entrées mais ont de piètres performances. Le niveau de sortie est dégradé par la chute de tension dans les diodes et il est déconseillé de placer plusieurs circuits en série. Le ET est à extraction de courant, le OU à injection de courant, Il est donc impossible d'associer les deux . De plus la fonction complément n'est pas réalisable avec des diodes.

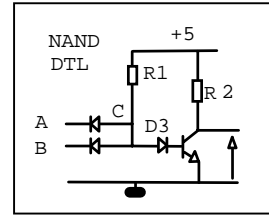
On notera qu'en logique négative le rôle des deux circuits est inversé.



LA FAMILLE DTL

L'association d'un transistor avec l'un des deux circuits précédents permet de réaliser un **système complet** , c'est à dire susceptible de matérialiser toutes les opérations booléennes .

Lorsque les deux entrées A et B sont au niveau haut 5V les 2 diodes sont bloquées et T est saturé par le courant circulant dans R1 et D3, le potentiel de sortie est donc nul. Si au contraire l'une (ou les 2) des entrées est à la masse (niveau bas), le point C est porté à 0,7V, la diode D3 est nécessaire sinon le transistor ne serait pas bloqué mais à la limite de conduction. T étant bloqué la sortie est au niveau haut via R2. L'ensemble réalise donc la fonction NAND.

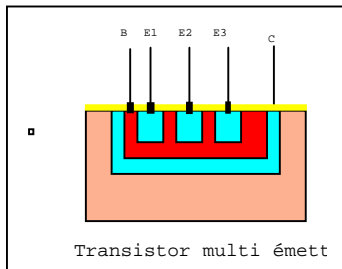


En utilisant le OU à diodes on peut matérialiser de la même façon un NOR.

La famille DTL a pratiquement disparu pour faire place à la famille TTL.

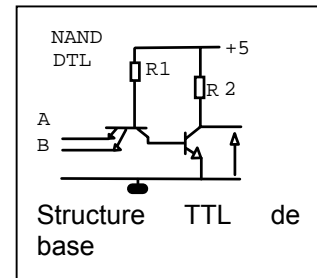
FAMILLE TTL

Le schéma de base est identique au précédent mais les 3 diodes constituent un transistor multi-émetteur. Le circuit ci contre est un NAND à 2 entrées.



Les deux diodes d'entrée sont les diodes base-émetteur du transistor, la diode base-collecteur est la diode D3 du montage précédent.

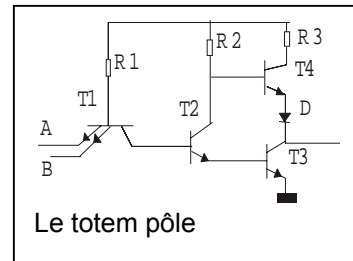
Ce montage de base présente un défaut important qui est la dissymétrie de sa réponse. En effet il existe toujours une capacité parasite de sortie ; lors du passage de l'état 1 à l'état 0 cette dernière est déchargée très vite par le courant du transistor, par



contre pour la transition inverse, le condensateur ne peut se recharger qu'à travers la résistance ce qui prend un temps de l'ordre de $R2C$.

Pour accélérer cette recharge on remplace la résistance R2 par un transistor comme le montre le schéma ci contre. Ce montage est appelé **TOTEM POLE**.

Si les entrées A et B sont au niveau haut les transistors T2 et T3 sont saturés par le courant circulant dans la résistance R1. T2 étant saturé son collecteur se trouve au potentiel de son émetteur soit 0,7V (à cause de T3), la sortie est à 0 et T4 ne peut pas conduire car il faudrait sur sa base une tension d'au moins 1,4V (à cause de la diode D).



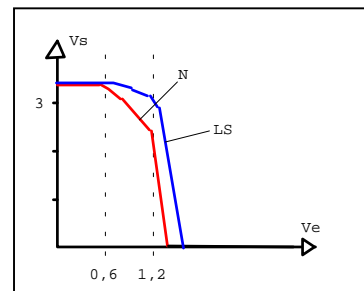
Si l'une des entrées est au niveau bas T1 est saturé, la tension sur son collecteur nulle ce qui bloque T2 et T3. Alors T4 devient conducteur, la tension de sortie est de l'ordre de 4V (à cause de la chute de tension dans la diode D et dans R3). C'est ce transistor T4 qui est chargé de fournir le courant au condensateur de sortie lors d'une transition bas-haut.

Le schéma précédent est celui de l'un des NANDs du 7400N, premier représentant de la famille TTL. (schéma de base modifié dans les circuits les plus récents).

Cette famille est une logique à **extraction de courant**. Le courant d'entrée est faible au niveau haut (les diodes d'entrée sont bloquées) et déterminé par la valeur de R1 au niveau bas. Ce courant $I(0)$ est typiquement de 1,6mA, cette valeur est appelée **charge TTL**.

Le transistor T3 doit absorber le courant extrait des entrées qui lui sont connectées. Son gain est tel que sans élévation gênante du niveau 10 entrées peuvent être attaquées. Les circuits de la famille TTL ont une sortance de 10.

La caractéristique entrée sortie d'un 7400N est présentée ci contre. Pour une tension d'entrée nulle la tension de sortie est typiquement de 3,5V, elle commence à baisser pour une tension d'entrée de 0,6V elle tombe à 2V5 pour 1,2V, puis chute ensuite à 0,1V en moins de 200mV. Cette limite de 1,2V est réduite à 1V pour une température de 125°.



On admet en général comme limite supérieure du niveau bas 0,8V.

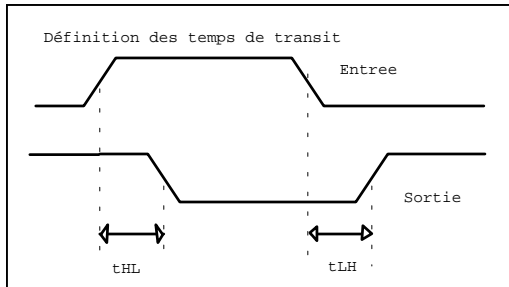
La tension de sortie est de l'ordre de 0,1V pour une tension d'entrée supérieure à 1,7V, il est prudent cependant de limiter à 2,5V la limite inférieure du niveau haut.

$$\begin{aligned} &Ve(0) < 0,8V \\ &Ve(1) > 2,5V \end{aligned}$$

Les différentes familles TTL

Le circuit précédent fait partie de la série dite normale N, d'ailleurs en voie de disparition. Ces circuits exigent un courant d'entrée max de 1,6mA, dissipent environ 10mW par Nand et ont un temps de transit de 10nS.

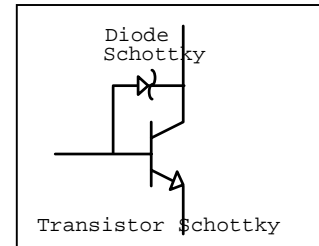
Pour diminuer la consommation il faut augmenter les résistances, en particulier R1, mais c'est au détriment de la vitesse. La famille LP (Low Power) a ainsi un courant d'entrée I(0) réduit à 0,2mA et une consommation de 1mW seulement mais un temps de transit de plus de 30nS. Cette famille n'existe plus avec l'apparition des familles MOS elle n'a plus d'intérêt.



La diminution des résistances n'améliore que faiblement le temps de transit car celui-ci est surtout limité par la saturation des transistors. Pour éviter cette saturation il suffit de placer en parallèle sur la jonction base collecteur des transistors une diode Schottky dont le seuil de conduction est de 0,4V.

La famille **TTL-S** exploite à la fois une baisse des résistances et des transistors Schottky. Le courant d'entrée passe alors à 2mA, la consommation à 20mW pour un temps de transit de 3nS.

Pour retrouver les 10nS de la famille N tout en réduisant la consommation il est possible d'augmenter les résistances mais d'éviter la saturation avec des transistors Schottky. C'est la famille **TTL-LS** (Low power Schottky) à laquelle font partie la grande majorité des circuits TTL utilisés. Le courant d'entrée est dans ce cas de 0,4mA (Un quart de charge TTL N) la consommation de 2mW et le temps de transit de 9,5nS. La caractéristique d'entrée d'une porte LS est légèrement différente de celle d'une porte N comme le montre la figure ci dessus.



De nombreuses améliorations ont été apportées aux circuits TTL, les familles ainsi développées sont en principe toutes compatibles entre elles. Le tableau ci dessous regroupe les caractéristiques les plus importantes de ces diverses familles.

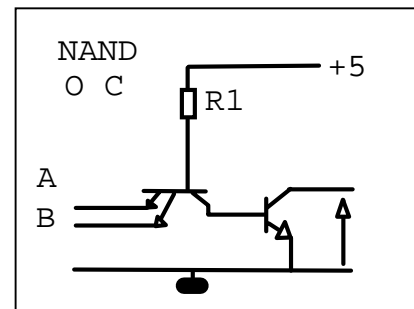
Famille	Temps de transit nS	Ie(0) mA	Ie(1) µA	Fréquence de fonctionnement max MHz
74N	10	-1,6	40	35
74S	3	-2	50	125
74LS	9,5	-0,4	20	45
74AS	1,5	-2,4	200	200
74ALS	4	-0,2	20	50

Circuits spéciaux pour BUS

Dans les schémas complexes on appelle **BUS** un ou un ensemble de plusieurs conducteurs auxquels sont connectés de nombreuses entrées ou sortie de circuits. Cette configuration n'est possible que si des conflits ne se produisent pas entre les diverses sorties reliées, pour les éviter deux solutions sont envisageables.

Circuits collecteur ouvert (OPEN COLLECTOR)

L'un des niveaux de sortie est dominant. C'est le cas de circuits se terminant par un seul transistor (Figure ci contre). Si plusieurs sorties sont reliées une seule résistance est placée entre ces sorties et le +5V. Le niveau de sortie n'est haut (5V) que si tous les transistors sont bloqués, un seul transistor conducteur force la sortie au zéro. On a réalisé un **ET câblé**.

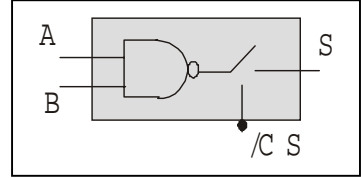


Le niveau bas étant dominant est le niveau actif ,il est le plus souvent noté 1., la logique est alors négative. On rencontre cette configuration dans le bus RS232 reliant deux ordinateurs .

Sortie trois états (Three State)

Les circuits possèdent une entrée supplémentaire de validation que l'on peut assimiler à la commande d'un interrupteur en série avec la sortie d'une porte classique .

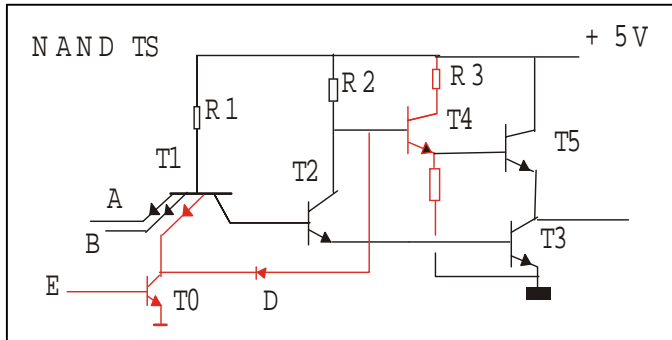
Le commande de sélection active au niveau bas (/CS) ou au niveau haut (CE) ferme cet interrupteur. La sortie S peut se trouver dans trois états possibles 0 ou 1 lorsque le circuit est validé, (interrupteur fermé), ou haute impédance si l'interrupteur est ouvert.



En TTL une structure possible est la suivante : Deux transistors et une diode ont été ajoutés au schéma de base.

Si /E=1 T0 est conducteur ce qui sature T1 donc bloque T2 et T3 , mais par la diode D la base de T4 est portée à 0,6V tension insuffisante pour faire conduire

T4 et T5 en série. Les deux transistors du push pull de sortie sont bloqués. La sortie est dans l'état haute impédance.



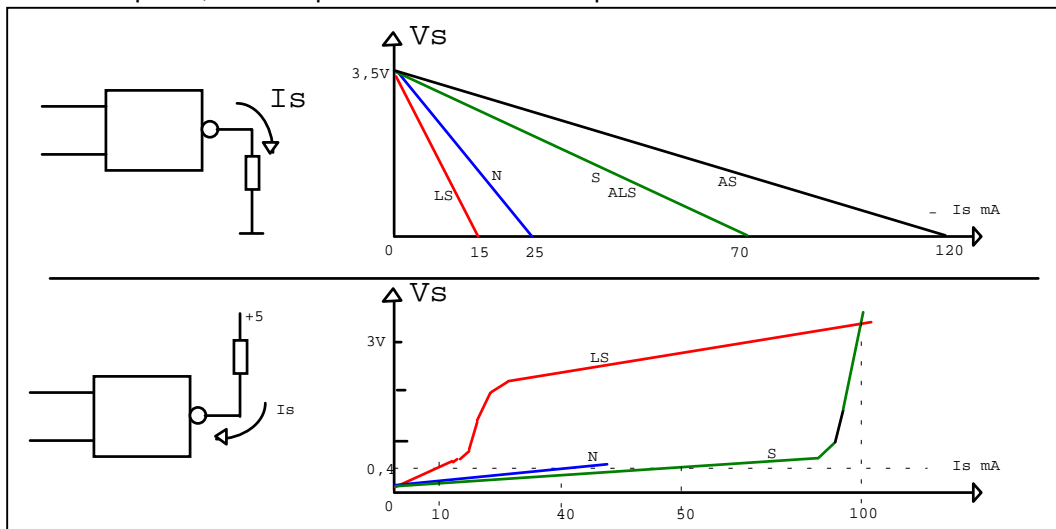
Si au contraire /E=0 T0 est bloqué , le montage fonctionne normalement et effectue l'opération NAND .

Utilisation des portes TTL dans des circuits analogiques .

Notons d'abord que les circuits TTL ne fonctionnent que dans des limites étroites de tension d'alimentation $5V \pm 5\%$ avec un maximum de 7V.

Ils sont souvent utilisés dans des schémas analogiques , monostables , oscillateurs commande de LEDs etc... Dans ces montages on peut leur demander non seulement d'absorber du courant par leur sortie , fonction pour laquelle ils ont été prévus , mais aussi d'en fournir. Pour prévoir leur comportement dans ces conditions il faut étudier leur caractéristique de sortie $V_s = f(I_s)$.

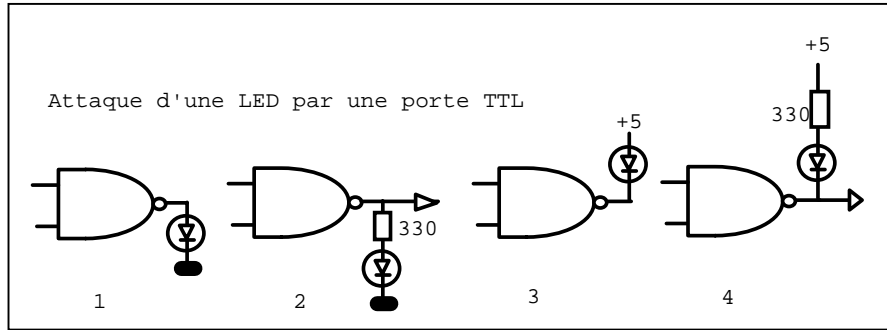
Les courbes ci contre sont les caractéristiques de sortie des différentes familles .On notera que le courant de court circuit d'une porte LS est de l'ordre de 15mA , 25 mA pour une TTL N .Une diode électroluminescente rouge placée directement à la sortie d'une porte LS est parcourue par une dizaine de milliampères, elle est par contre détruite si la porte est une S ou AS .



La figure ci dessous montre comment attaquer une LED avec une porte logique TTL le montage 1 n'est acceptable qu'avec une porte de la famille LS (10mA) ou N (20mA), il en est de même du montage 3 (un circuit N risque de surcharger la LED) .Les montages 2 et 4 sont conseillés ,surtout

le 4 , dans ce cas le niveau de sortie reste compatible avec l'entrée d'une porte aval. Malgré tout il vaut mieux éviter d'utiliser la sortie comme niveau logique .

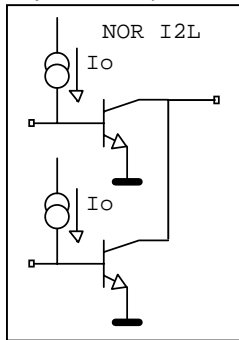
Note importante : Une entrée TTL laissée en l'air est équivalente à un niveau haut, mais il vaut mieux placer entre entrée et +Vcc une résistance dont la valeur peut être quelconque, valeur typique 15k. Pour définir un niveau 0 il faut , soit câbler l'entrée à la masse soit placer entre entrée et masse une résistance telle que $R.I(0) < 0,8V$ soit **au plus 500Ω en TTLN 2kΩ en LS** .



FAMILLE I²L

Cette famille qui est construite avec des transistors bipolaires n'a jamais été présentée sous forme de circuits individuels mais seulement utilisée dans la structure interne de circuits intégrés complexes. Ce n'est pas une logique à deux niveaux mais d'états. L'état 0 correspond à un contact fermé l'état 1 à un contact ouvert.

L'inverseur élémentaire est représenté ci contre. La source de courant I_0 est réalisée avec un transistor PNP latéral. Si l'entrée est court-circuitée (niveau 0) le transistor est bloqué et la sortie sur le collecteur est en haute impédance (Niveau 1) .Inversement si l'entrée est laissée en l'air (Niveau 1) le transistor est saturé par I_0 et court-circuite la sortie (Niveau 0) .Le montage est bien un inverseur.

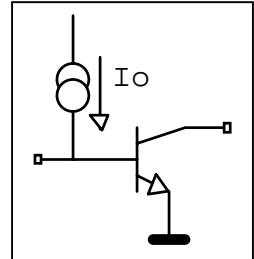


Le NOR est construit avec deux transistors en parallèle .

La sortie est un court circuit si l'un ou l'autre des transistors est saturé c'est à dire que l'une ou l'autre des entrées est en l'air. (niveau 1) Ce qui correspond à la table de vérité ci contre d'un NOR .

$$S = \overline{A+B}$$

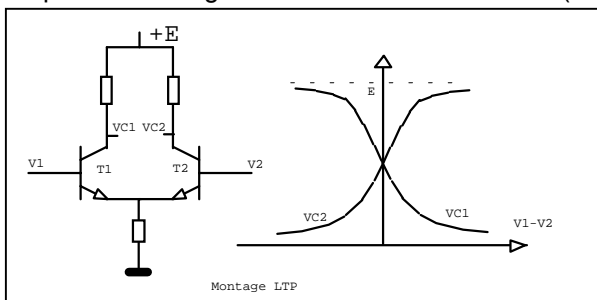
La logique I2L est de moins en moins utilisée , elle laisse la place aux technologies MOS plus performantes.



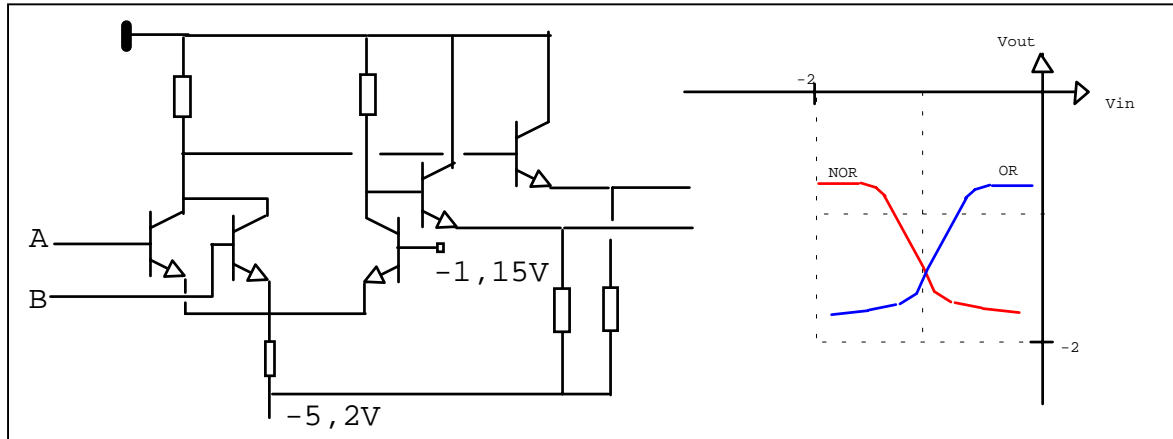
A	B	S
0	0	1
1	0	0
0	1	0
1	1	0

LA FAMILLE ECL (LOGIQUE A EMETTEURS COUPLES)

Cette famille à été développée essentiellement par MOTOROLA. C'est une famille rapide qui exploite un étage différentiel à 2 transistors (Long Tail Pair) présentant l'avantage d'éviter toute saturation., la courbe de réponse est en effet une tangente hyperbolique .



Les circuits de la famille ECL présentent toujours deux sorties complémentaires , le circuit de base est le ET /NOR ci dessous .Pour permettre la liaison entre plusieurs circuits sans que les capacités parasites ne dégradent les performances la sortie s'effectue grâce à deux collecteur commun. De plus pour des raisons technologiques le montage est alimenté entre 0 et -5,2 volts. Une alimentation classique 0 5V est possible au prix d'une légère augmentation du temps de transit. .

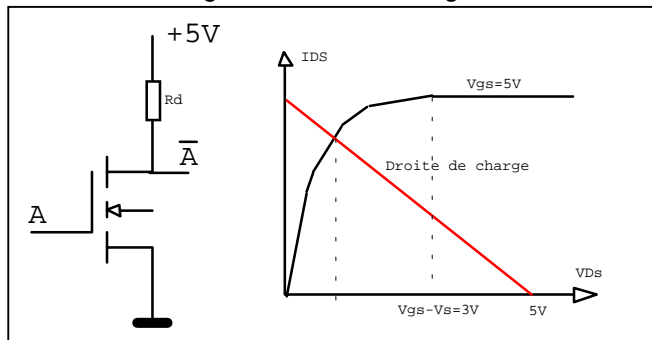


Les niveaux logiques sont très différents de ceux de la TTL et proches l'un de l'autre. Les temps de transit obtenus vont de 3nS pour la famille MECL II à moins d'une nS pour la MECLIII. Mais ces circuits consomment beaucoup d'énergie (50mW par porte pour la MECL III) et, n'ayant jamais eu une grande diffusion, sont très coûteux.

LES FAMILLES LOGIQUES MOS

CIRCUITS LOGIQUES N MOS

Un transistor MOS canal N à canal induit constitue un inverseur logique parfait. Pour une tension de grille nulle ou inférieure à la tension de seuil il est bloqué et la tension sur le drain, en absence de charge extérieure, est égale à la tension d'alimentation (pas de courant dans R_D) Pour une tension de grille de 5V il est conducteur et la tension sur le drain est faible, mais surtout inférieure à la tension de seuil. Ce niveau de sortie constitue bien un niveau 0 pour l'étage suivant.



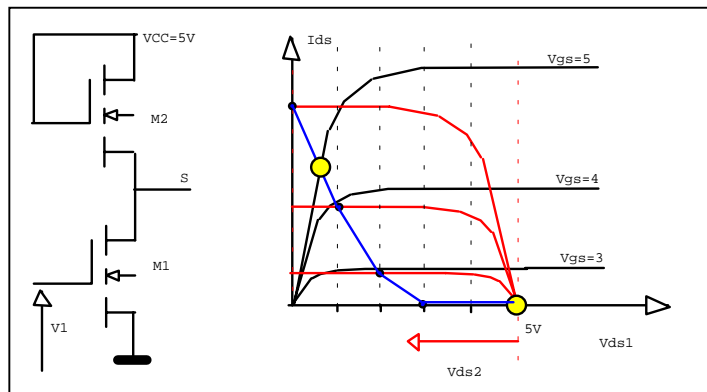
Un des inconvénients de ce montage est la surface occupée par la résistance sur le circuit intégré. Surface d'autant plus gênante que le MOS est petit puisque à un MOS petit correspond un courant faible donc une résistance grande Pour y remédier on remplace la résistance

par un second MOS comme le montre le schéma suivant.

La tension V_{gs} du MOS 2 est égale à sa tension drain source et vaut $(5V - V_{DS1})$

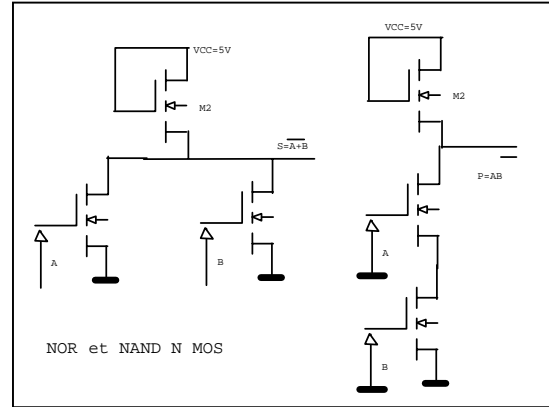
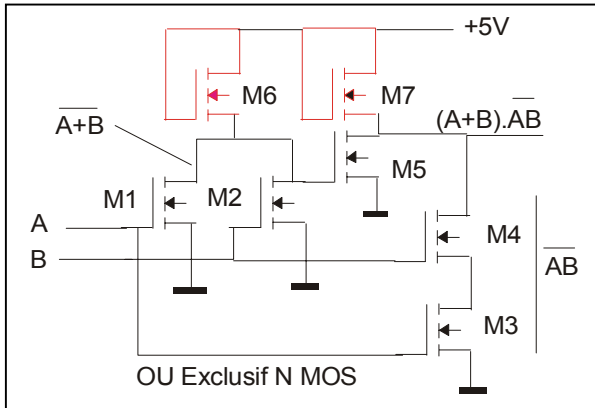
Pour déterminer le courant de ce MOS il suffit donc de retourner horizontalement son réseau de caractéristiques

(en rouge sur la figure ci contre). Pour chaque valeur de V_{ds1} on détermine ainsi le $V_{DS2} = V_{GS2}$ de M2 et l'on reporte le courant sur le réseau. Les points (bleus) se placent sur une courbe qui est la charge non linéaire de M1. Pour $V_1=0$ et $V_1=5V$ les points de fonctionnement sont marqués en jaune sur la figure. Ce montage constitue bien un inverseur logique.



Cet inverseur présente l'avantage d'avoir une impédance d'entrée infinie ce qui simplifie grandement les liaisons. Sur le même principe en associant plusieurs MOS il est très facile de concevoir des portes NOR ou NAND . Les MOS sont en parallèle pour le NOR et en série pour le NAND .

Des fonctions plus complexes sont réalisées avec un nombre très limité de composants , ceci en grande partie à cause de l'impédance d'entrée et de la facilité pour réaliser des ET câblés. Le schéma ci dessous réalise la fonction OU exclusif avec



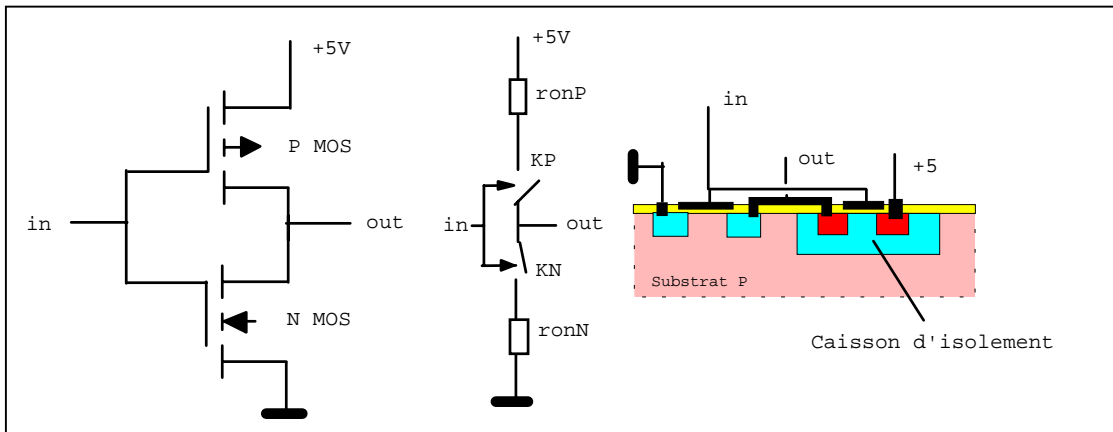
seulement 5 MOS plus 2 pour constituer les charges actives.(en rouge) M1 et M2 effectuent l'opération $/(A+B)$ qui est inversée par M5.

M3 M4 effectuent le NAND et un OU câblé est réalisé sur le drain de M5 , soit : $(A+B)./(AB)=(A+B)./(A/B)=A/B+B/A=A\oplus B$

Les circuits logiques NMOS ont été utilisés pour construire des circuits intégrés complexes, ils présentent l'inconvénient de dissiper de la puissance (au niveau bas) .Ils n'ont jamais été fournis sous forme de boîtiers discrets .

LES FAMILLES CMOS

Ce sont actuellement les familles les plus répandues, elles ont remplacé presque partout la TTL .



Le circuit de base est l'inverseur CMOS associant deux MOS canal à induit N et P La figure ci-dessus montre comment sont intégrés les deux MOS , le MOS N directement dans le substrat P, le MOS P dans une inclusion N appelée **caisson d'isolement** .

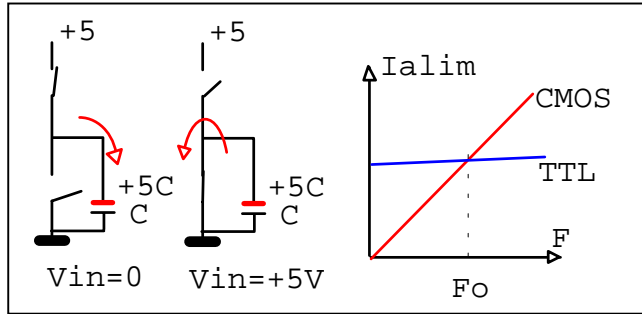
Ce circuit est un inverseur presque parfait de consommation nulle , en effet .:

Plaçons un niveau 0 à l'entrée in .Le MOS N dont la tension grille est nulle est bloqué, par contre le MOS P dont la source est au +5V a une tension grille source de -5V , il est conducteur (si sa tension de seuil est supérieure à 5V) Tout se passe comme si la sortie était reliée au +5V via la résistance r_{on} du MOS P .La sortie est au niveau logique 1 .

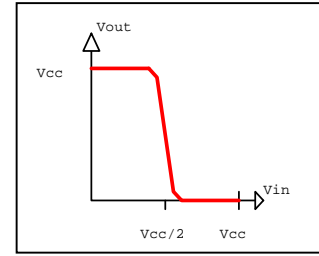
Si au contraire le niveau d'entrée est 5V , le MOS N est conducteur mais le MOS P dont grille et source sont au même potentiel est bloqué. La sortie est reliée à la masse par la résistance r_{on} du MOS N.Le niveau de sortie est 0.

Mais dans l'un ou l'autre cas l'un des MOS est bloqué, l'alimentation 5V ne fournit donc aucun courant .

En absence de charge extérieure les niveaux logiques de sortie sont rigoureusement 0 et +Vcc La tension d'alimentation n'est pas critique , elle doit seulement être inférieure à la tension de claquage des MOS et supérieure à leur tension de seuil.



La tension d'alimentation n'est pas critique , elle doit seulement être inférieure à la tension de claquage des MOS et supérieure à leur tension de seuil.

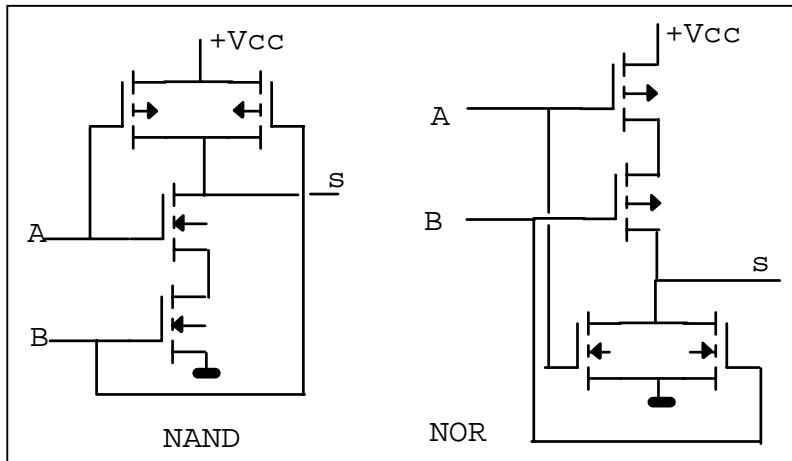


En réalité la

consommation n'est nulle qu'à la fréquence zéro. En effet lorsque le niveau de sortie monte à +5V le condensateur parasite de sortie se charge, il se décharge lorsque la sortie revient au niveau bas . Ainsi pour un signal rectangulaire en sortie une charge CV_{cc} est transférée du +5V au zéro à chaque période .Ce qui équivaut à un courant $i = CV_{cc} \text{ ou } f$ est la fréquence de travail . La consommation d'une porte CMOS augmente donc avec la fréquence à laquelle elle commute, alors que celle d'une porte TTL est pratiquement constante . Il existe ainsi une fréquence F_0 au dessus de laquelle une porte TTL consomme moins qu'une porte CMOS . Cette fréquence n'était que de quelques mégahertz il y a 20 ans ,elle dépasse maintenant les 100Mhz.

La caractéristique de transfert d'un inverseur CMOS est beaucoup plus symétrique que celle du circuit TTL correspondant . La transition haut - bas se produit très brutalement pour une tension d'entrée voisine de $V_{cc}/2$.(figure ci contre) .

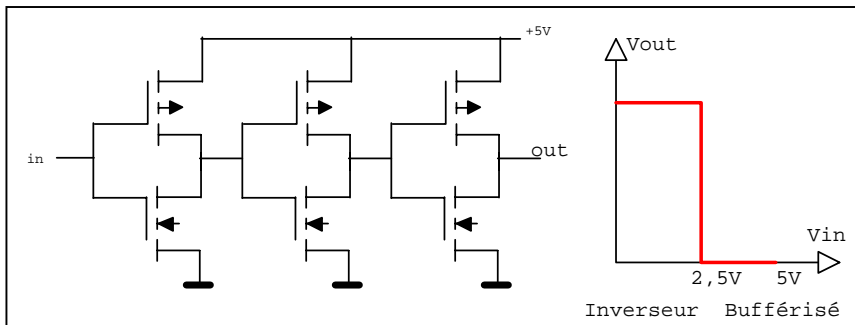
La technologie CMOS permet également de construire des NAND ou NOR à moindre coût . Les schémas sont très voisins de ceux rencontrés en logique N MOS



Pour le circuit de gauche si l'une des deux entrées A ou B est au zéro l'un des deux MOS du bas est bloqué alors que l'un des 2 du haut est conducteur. La sortie est au potentiel haut . C'est un NAND .

Pour le circuit de droite si l'une des entrées est au 1 l'un des MOS du bas est conducteur et l'un de ceux du haut bloqué, la sortie est au niveau bas , c'est un NOR .

Pour un inverseur CMOS la pente de la caractéristique autour de $V_{cc}/2$ n'est pas très grande , pour l'augmenter et se rapprocher de l'inverseur parfait on associe en série avec la sortie 3 inverseurs successifs.



On parle alors de circuits bufférés , un B termine en général leur nom (Exemple CD4011B) Le schéma de l'inverseur bufféré est donné ci contre .

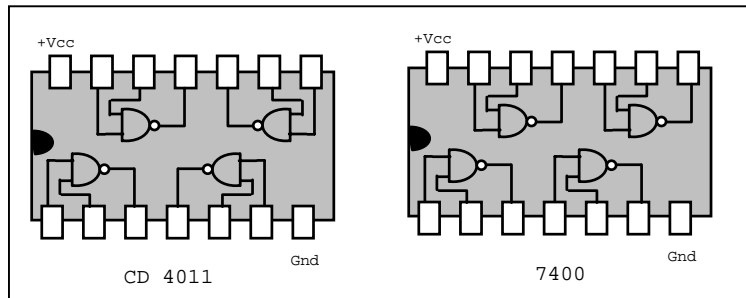
La caractéristique possède alors une partie presque verticale pour une tension

voisine de $V_{cc}/2$.(Elle n'est rigoureusement égale à $V_{cc}/2$ que si les MOS P et N sont rigoureusement symétriques) .

LES FAMILLES CMOS

La famille 4000.

La première famille CMOS a été mise sur le marché en 1973 par RCA , ce sont les circuits **CD4xxx** Ils sont peu performants , leur temps de transit étant supérieur à 100nS ,mais ils acceptent une alimentation entre 3 et 18V .Sous 5V leur courant maximal de sortie est de l'ordre de 0,5mA alors qu'il est 10 fois plus grand sous 15V .Le R_{on} est voisin de 500Ω sous 5V .Un tel circuit accepte un court circuit accidentel si l'alimentation est de 5V alors qu'il est détruit si l'alimentation est de 15V .Le CD4011 est le quadruple NAND qui remplit la même fonction que le 7400 en TTL, mais attention le brochage du boîtier n'est pas le même.



La famille 74C

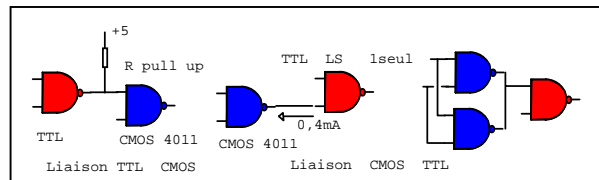
Très rapidement après RCA NATIONAL SEMICONDUCTORS commercialise une famille de performances identiques mais dont le brochage est la même que celui des boîtiers de la famille 74xx Ainsi le 74C00 à le même boîtier que le

74LS00 mais les performances du 4011. Ces circuits comme ceux de la famille 4000 peuvent être alimentés entre 3 à 18V .

		TTL LS	CMOS 4000
En entrée	$I_e(0)$	-0,4mA	0
	$V_i(0)$	<0,8V	<2V
	$I_e(1)$	0	0
	$V_i(1)$	>2,5V	>3,5V
En sortie	$I_s(0)$	+4mA	$R_{on} \sim 1k$
	$V_s(0)$	<0,4V	0
	$I_s(1)$	-10mA	$R_{on} \sim 1k$
	$V_s(1)$	>2,5V	+5V

Si les boîtiers 74C ont le même brochage que ceux de la série TTL , ils ne leur sont pas équivalents ,le remplacement d'un boîtier 74xx par un 74Cxx n'est en général pas possible car le circuit MOS ne peut pas délivrer ou absorber un courant supérieur à 0,5mA, il est à peine capable d'attaquer une porte 74LS. .Le tableau suivant compare les niveaux et tensions des deux types de circuits alimentés sous 5V . Il est plus facile d'attaquer

un boîtier CMOS à partir d'un TTL que l'inverse , bien que le niveau haut de sortie du TTL soit un peu juste . Pour y remédier on ajoute souvent une résistance de l'ordre de 15k Ω entre la sortie et le +5V (Figure) .Inversement une sortie CMOS peut piloter au maximum une entrée LS ; par sécurité on peut utiliser deux boîtiers CMOS en parallèle.



La famille 74HC

Cette famille a été conçue pour être totalement compatible avec la TTL LS tout en conservant l'impédance d'entrée infinie des MOS. Cependant cela n'a été possible qu'en restreignant la zone de tension d'alimentation, la famille 74HC ne fonctionne qu'entre 4,5 et 6V , le courant maximal de sortie (positif) est de 4mA (sortance 10 pour la TTL LS) , le R_{on} est de 40Ω ., le temps de transit 10nS et la fréquence maximale de travail 45MHz. En entrée la caractéristique est celle de la famille 74C ou 4000 (transition à $V_{cc}/2$) alors que pour les circuits **74HCT** cette transition est inférieure à 1,5V pour augmenter encore la compatibilité avec la TTL .

