

LA FAMILLE 8051

Le 8051 est le chef de file d'une grande famille de microcontrôleurs fabriqués par INTEL, PHILIPS, SIEMENS, HARRIS. Chaque constructeur a développé ses propres versions qui sont en principe toujours compatibles avec le 8051 de base. Récemment des circuits beaucoup plus rapides et puissants sont apparus sur le marché en conservant cependant cette compatibilité. Les divers circuits se distinguent par :

- Le nombre de ports disponibles
- Le nombre de Timers
- La capacité mémoire RAM ou ROM
- L'existence de convertisseurs analogiques numériques et réciproquement
- D'un Watch dog intégré
- La capacité de gérer des liaisons séries particulières telles que le BUS I2C de PHILIPS

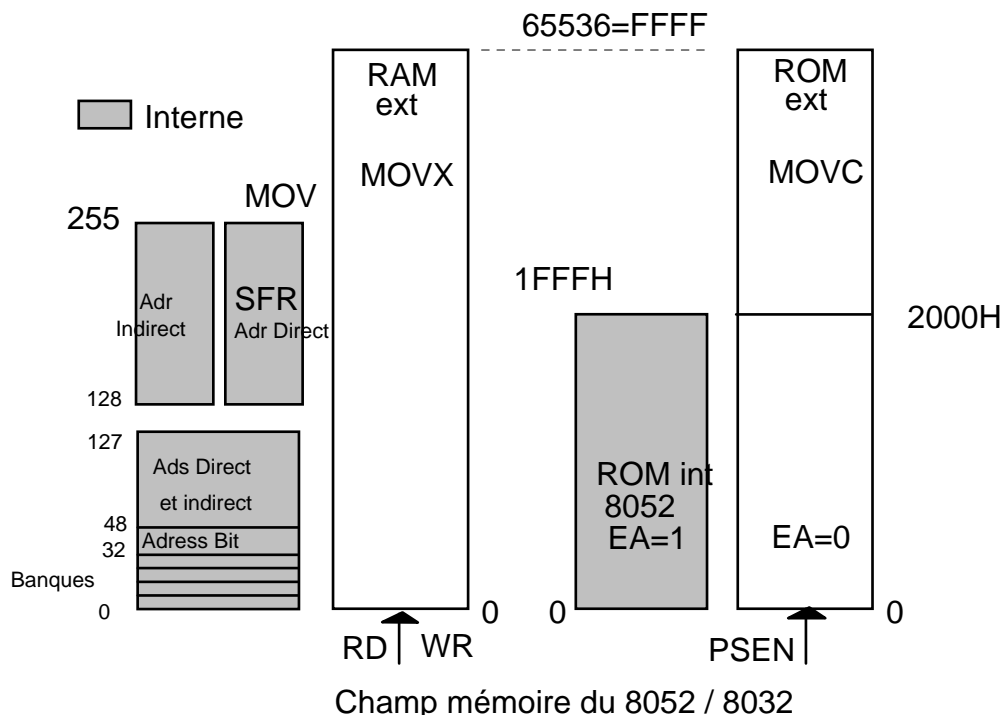
La première extension du 8051 est le 8052 d'INTEL dont la structure est reprise par de nombreux autres circuits. Il se distingue du 8031 par une extension de la mémoire et la présence d'un troisième timer le TIMER 2

Le 8052 / 8032

Comme pour le 8031 il existe en 3 versions :

- 8052 avec 8K de ROM interne (au lieu de 4K)
- 8032 sans ROM interne
- 8752 contenant une EPROM programmable 1 seule fois (Version OTP) ou plusieurs par effacement UV (avec fenêtre de quartz) .
- Le 8052 est **compatible broche pour broche** avec son prédécesseur.

La Structure mémoire



Elle est semblable à celle du 8031 et gérée par les mêmes signaux, avec les différences suivantes :

- La ROM interne quand elle existe est de 8K au lieu de 4
- Il existe 256 octets de RAM utilisateur au lieu de 128 (plus le SFR) (Figure ci dessus) constitués par :

- 128 octets comme pour le 8031 accessibles par adressage direct ou non (@R0 ou1)
- **128 octets de RAM entre les adresses 128 et 255** comme le SFR **mais accessibles seulement par adressage indirect** .

Si R0=90H
 MOV 90H,A est le chargement de A dans le port P1
 mais :MOV @R0,A n'est que le transfert du contenu de A dans une case mémoire interne.

Le TIMER 2

Le 8052 possède en plus des deux timers du 8051 un **TIMER 2** accessible entre autre par deux bornes extérieures qui sont les bornes P1.0 (T2) et P1.1 (T2EX) du port P1 . C'est un compteur 16 bits qui peut fonctionner sous 3 modes déterminés par l'état des bits RCLK TCLK ,CP/RL2 et TR2 localisés dans un registre de commande spécial T2CON.

Une interruption supplémentaire est associée à ce timer TF2+EXF2 de vecteur 002BH

RCLK + TCLK	CP/RL2/	TR2	Mode
0	0	1	16 bits Auto Reload
0	1	1	16 bits Capture
1	X	1	Générateur de séquence pour liaison série
X	X	0	off

Le registre T2CON regroupe les 8 bits de contrôle de ce TIMER , leur signification est indiquée par le tableau ci dessous :

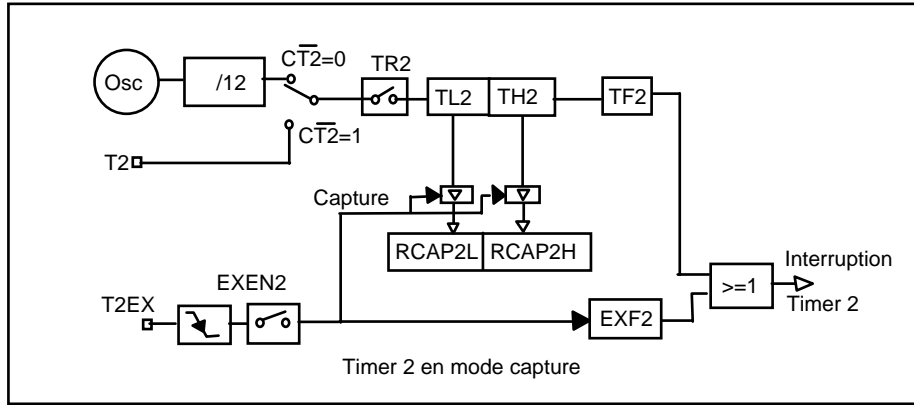
T2CON Adresse C8H Adressable par bits

TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T2	CP/RL2
-----	------	------	------	-------	-----	------	--------

- TF2 C'est le bit de débordement il est mis à 1 lorsque le compteur passe de FFFF à 0000
- EXF2 Indicateur externe.Il est mis à 1 par une transition 1↓0 sur la borne T2EX (P1.1) si EXEN2=1. Si l'interruption du timer 2 est autorisée et que EXF2=1 alors le sous programme situé en 2BH est exécuté .La remise à zéro de EXF2 doit être assurée par soft.
- RCLK Bit de contrôle de l'horloge de réception. Si RCLK=1 le port série en mode 1 ou 3 utilise l'impulsion de débordement du timer 2 comme signal d'horloge de réception.. Si RCLK=0 c'est le timer 1 qui joue ce rôle.
- TCLK Bit de contrôle de l'horloge d'émission.. Si TCLK=1 le port série est commandé par le timer 2 , si TCLK=0 c'est le timer 1 qui commande.
- EXEN2 Validation du mode externe. Si EXEN2=1 autorisation de capture ou de rechargement lors d'une transition 1↓0 sur la borne T2EX Ceci n'est possible que si le timer 2 n'est pas utilisé comme horloge du port série (TCLK=RCLK=0) .En forçant EXEN2 à 0 on neutralise la borne T2EX.
- TR2 Mise en marche du timer 2
- C/T2 Mode de fonctionnement 0= Temporisateur c'est l'horloge du microprocesseur divisée par 12 qui est comptée.
1=Compteur d'évènements extérieurs
- CP/RL2 Capture ou rechargement . Si ce bit est à 1 c'est le mode capture .La valeur contenue dans le compteur 16 bits de timer 2 est chargée dans RCAP2H et RCAP2L au moment de la transition 1 0 sur T2EX si EXEN2=1 (Avec RCLK et TCLK =0)

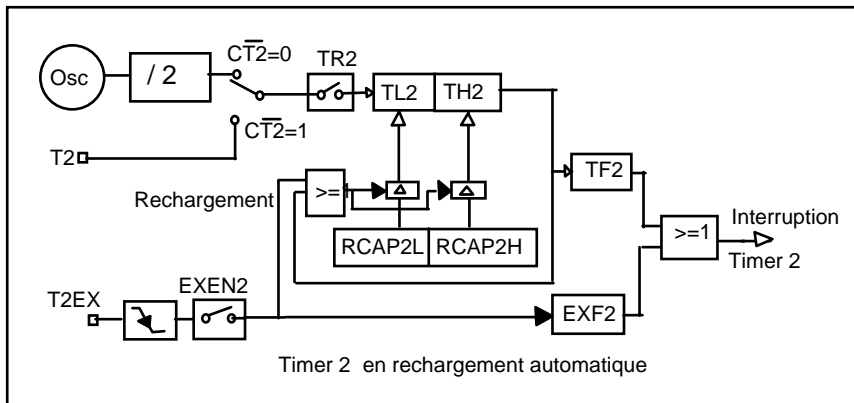
Le **mode capture** est illustré par la figure ci dessous :Si EXEN2=0 (interrupteur ouvert) le timer fonctionne en compteur 16 bits et met TF2 à 1 au débordement.Ce bit peut déclencher une interruption si elle est autorisée.

Si EXEN2=1 le fonctionnement précédent est conservé mais de plus il y a capture du contenu du compteur dans RCAP2L et RCAP2H lors d'une transition sur T2EX ,en même temps EXF2 est positionné à 1 ce qui peut déclencher une interruption. On notera que cette interruption est la même que celle activée par TF2 ,l'utilisateur devra donc par soft déterminer quelle est l'origine de l'interruption en explorant TF2 et EXF2, pour permettre cette exploration **ces deux bits ne sont pas remis à 0** lors du saut vers le sous programme , cette remise à zéro doit être effectuée par soft.



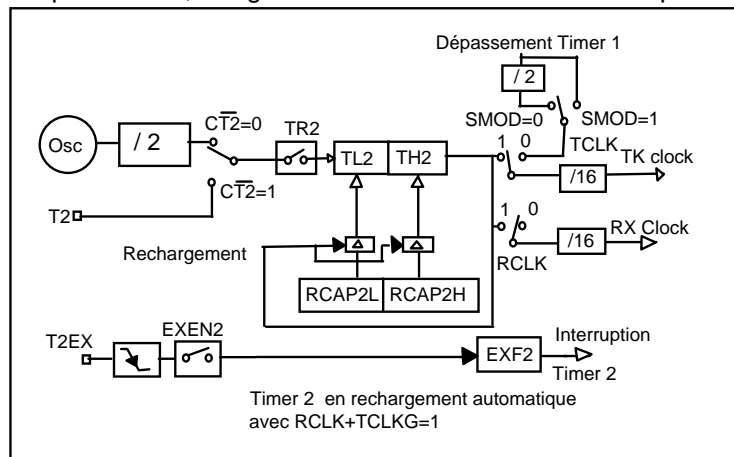
Mode rechargement automatique

Le contenu des deux registres RCAP2L et RCAP2H est chargé dans le compteur TH2 TL2 lors du débordement du compteur mais en plus si EXEN2=1 lors d'une transition négative sur T2EX. Ce fonctionnement est illustré sur la figure suivante.



Mode pilotage de la liaison série

Ce mode est très semblable au précédent, le signal de débordement est utilisé pour le rechargement du compteur et comme horloge pour le port série. La figure suivante montre que les horloges d'émission et réception peuvent être différentes et même commandées par deux timers différents. Remarquons également que l'horloge du CPU est divisée par 2 et non par 12. L'indicateur TF2 n'existe plus, la seule source d'interruption est T2EX.



La fréquence de l'horloge fournie par le timer 2 est donnée par la formule :

$$FH = \frac{F_{osc}}{32 \cdot [65536 - (RCAP2H, RCAP2L)]}$$

La capacité 16 bits de ce timer autorise pour la liaison série une plus grande souplesse dans le choix du quartz, la valeur 11,0592 Mhz préconisée par INTEL pour le 8051 n'est plus nécessaire. La formule précédente peut se mettre sous la forme:

$$(RCAP2H, RCAP2L) = 65536 - \frac{F_{osc}}{32.FH}$$

Si l'on dispose d'un quartz à 12 Mhz et que l'on désire assurer une transmission à 9600 bauds on obtient :

$$(RCAP2H, RCAP2L) = 65496,9375$$

La valeur entière la plus proche est 65497 soit FFD9H ce qui correspond à une vitesse de 9615 bauds soit une erreur de 1,5% tout à fait acceptable. (La tolérance en général admise est de $\pm 2\%$) Le tableau ci dessous donne les valeurs à charger dans RCAP2H et RCAP2L pour différentes valeurs de la vitesse et du quartz.

Fréquence de transfert	Fréquence quartz	TIMER 2	
		RCAP2H	RCAP2L
19600 (écart 2,34%)	12 Mhz	FF	EC
9600	12 Mhz	FF	D9
4800	12 Mhz	FF	B2
2400	12 Mhz	FF	64
1200	12 Mhz	FE	C8
300	12 Mhz	FB	1E
110	12 Mhz	F2	AF
300	6 Mhz	FD	8F
110	6 Mhz	F9	57

La communication série 9600 bauds pilotée par le Timer 2 peut être programmée de la façon suivante :

Initialisation :

```

MOV  SCON,#01011010B  Mode 1
MOV  RCAPEH,#0FFH
MOV  RCAP2L,#0D9H      Vitesse 9600 bauds
MOV  T2CON,#00110100  TCLK et RCLK à 1 et TR2=1 pour lancer le timer 2
    
```

D'AUTRES MEMBRES DE LA FAMILLE

Ils sont très nombreux dans le catalogue des divers constructeurs nous citerons seulement

Le 80451 de PHILIPS

Le **80451** fabriqué par PHILIPS est identique au 8031 mais possède 7 ports d'entrée sortie (6 de 8 bits et un de 4 bits seulement pour la version en boîtier DIP 64 broches). Ces ports ont les adresses suivantes dans le SFR

- P4 C0H
- P5 C8H
- P6 D8H

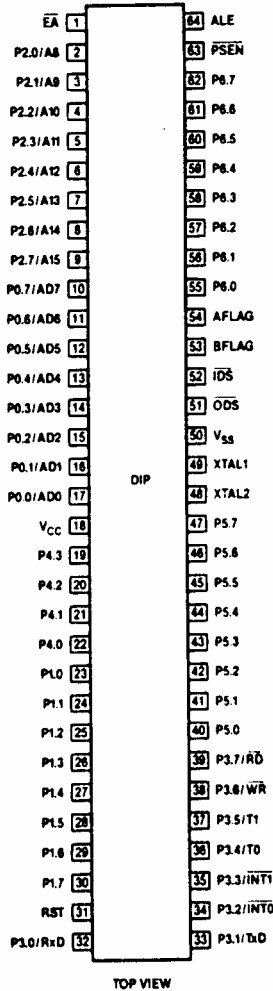
Le port P6 peut être utilisé de façon normale en câblant à la masse les quatre bornes AFLAG BFLAG /IDS /ODS Une utilisation de ces bornes et du port est possible en configurant le registre de commande (CSR) situé en E8H

Ce composant est à retenir lorsqu'un grand nombre de ports est nécessaire .

Le 80552 de PHILIPS

C'est un gros CPU qui n'est disponible qu'en boîtier PLCC 68 broches

Il est construit autour d'un coeur de 8031 mais possède en plus un convertisseur analogique numérique 10 bits ,un convertisseur numérique analogique (DAC) et est capable de gérer un bus I2C



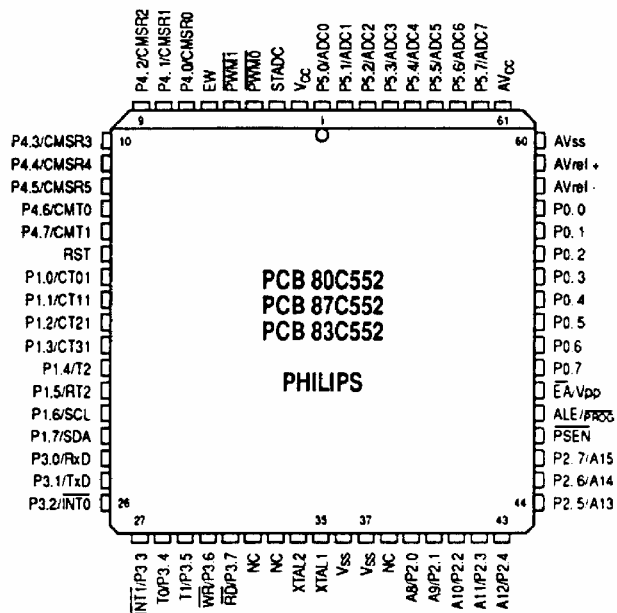
PLAN MEMOIRE

C'est celui de 8052 avec 256 octets de RAM interne dont 128 situés à la même adresse que le SFR mais accessibles seulement par adressage indirect .

Si R0 contient 178
 MOV A,178 est la lecture de la case 178 du SFR alors que
 MOV A,@R0 est la lecture de la case 178 de la RAM

LES PORTS

Ils sont au nombre de 5 ,outre les 4 du 8031 on trouve P4 adresse C0H du SFR (Comme pour le 80451)



P5 adresse C4H **non programmable en sortie** qui regroupe les 8 entrées du convertisseur analogique numérique .

LE CONVERTISSEUR ANALOGIQUE NUMERIQUE DU 80552

Le 80552 possède 8 entrées analogiques ADC0 à ADC7 (Constituant le Port 5 qui peut être utilisé aussi comme un port binaire normal) reliées à un convertisseur 10 bits à approximations successives. Ce convertisseur possède ses propres entrées d'alimentation (Broche 61 Analogue Supply 5V - Broche 60 Analogue Ground) et de références (Broche 59 ref+ et 58 ref -) Les 1024 niveaux sont répartis entre ref+ et ref-. La conversion dure 50 cycles d'horloge c'est à dire 50µS pour une horloge à 12 Mhz .le mot obtenu est :

$$R=1024 \times (V_{in} - V_{ref-}) / (V_{ref+} - V_{ref-})$$

Deux registres du SFR servent à piloter ce convertisseur . ADCON (Adresse C5H) et ADCH (Adresse C6H) à lecture seule.

7 ADC.1	6 ADC.0	5 ADEX	4 ADCI	3 ADCS	2 AADR2	1 AADR1	0 AADR0
---------	---------	--------	--------	--------	---------	---------	---------

La conversion est déclenchée en montant à 1 le bit ADSC du registre ADCON, ce bit est activé

Par soft seulement ou
Par Hard ou soft.

Le démarrage par soft seulement est choisi en plaçant bit de contrôle ADCON.5=ADEX au niveau bas .Une conversion est alors lancée lorsque le bit ADCON.3=ADCS est mis à 1 .

Le démarrage Hard ou Soft est sélectionné lorsque ADCON.5=ADEX est au 1 Une conversion peut alors être lancée en montant ADCON.3 (ADCS) comme ci dessus, ou en appliquant une transition montante sur la broche extérieure STADC (Broche 3)Dans ce dernier cas il faut que la broche STADC soit restée au niveau bas au moins pendant une période d'horloge et reste ensuite au niveau haut au moins autant.

La transition montante est reconnue à la fin d'un cycle machine et la conversion commence au début du cycle suivant . Quand la conversion est lancée par soft elle débute au début du cycle machine qui suit l'instruction qui a monté ADSC au niveau haut. La conversion débute avec ADCS au niveau haut ,c'est cette valeur 1 qui est retournée si l'on lit ce bit pendant la conversion. ADSI reste pendant ce temps à 0.

L'entrée qui est prise en compte est celle dont l'adresse est formée par les 3 bits .(AADR2-AADR1-AADR0) de ADCON **La tension d'entrée doit être stable pendant la conversion, une vitesse de variation maximale de 10V/mS est tolérée au delà de laquelle le résultat peut être aléatoire.**

Lorsque la conversion est terminée les 8 bits de plus fort poids sont chargés dans le registre ADCH ou ils peuvent être lus, les 2 bits de plus faible poids (Que l'on peut abandonner si une conversion sur 8 bits est suffisante) sont chargés dans ADCON.7 (ADC.1) et ADCON.6 (ADC.0) .

La fin de conversion est caractérisée par la montée à 1 du bit ADCI et le retour à zéro de ADCS. Le bit ADCI doit être remis à 0 par le programme pour permettre une nouvelle conversion .Ce bit par contre ne peut pas être monté par soft. Le bit ADCS au contraire est monté par le logiciel pour démarrer la conversion mais ne peut pas être remis à 0 avant la fin de conversion .

ADCON.4 = ADCI est le flag d'interruption mis à 1 lorsqu'une conversion est terminée si l'interruption correspondante est validée. Ce flag ne peut pas être mis à 1 par soft mais doit être remis à 0 pour qu'une nouvelle conversion puisse commencer.

Une routine de conversion peut donc être la suivante:

```

START:MOV  ADCON,#0      ;pour une conversion par soft seulement sur l'entrée P5.0
SETB  ADCS              ;début de conversion
JNB  ADCI,$            ;boucle sur place tant que ADCI=0 en attendant la fin de conversion
CLR  ADCI              ;pour permettre une nouvelle conversion
MOV  A,ADCH            ;récupération des 8 bits de plus fort poids
MOV  B,A               ;basculés dans B
MOV  A,ADCON
ANL  A,0C0H            ;Masque pour isoler les 2 bits de fort poids
CLR  ADCI              ;RAZ de ADCI monté à 1 en fin de conversion
RET                    ;fin de sous programme
    
```

LE CONVERTISSEUR NUMERIQUE ANALOGIQUE DU 80552

Il y a en réalité deux convertisseurs

Ce ne sont pas de vrais DAC mais des convertisseurs PWM, ils délivrent un signal rectangulaire périodique de fréquence fixe et de rapport cyclique variable. La précision est de 8 bits seulement.

La fréquence est obtenue à partir de l'horloge du CPU divisée par deux, le signal obtenu traverse ensuite un diviseur supplémentaire programmable, (le prescaler) La fréquence finale F est donnée par:

$$F = \frac{F_{osc}}{2 \cdot (1 + PWMP) \cdot 255}$$

ou PWMP est le contenu du registre du même nom situé à l'adresse FE du SFR.

Le contenu de PWMP pouvant varier de 0 à 254 on obtient une fréquence comprise entre 92Hz et 23.5kHz pour un quartz à 12Mhz

L'état du compteur est comparé au contenu de deux registres PWM0 et PWM1 qui sont les octets à convertir. Il y a deux sorties (pattes 4 et 5 du boîtier) dont le niveau est bas si le contenu de PWMx est supérieur à la valeur du compteur, niveau haut dans le cas contraire. On obtient ainsi un signal rectangulaire dont le rapport cyclique est proportionnel au contenu de PWMx et qui par intégration fournit la tension analogique de sortie.

Ce système très simple présente l'inconvénient d'être lent car il faut utiliser un filtre intégrateur de constante de temps suffisante pour que l'ondulation résiduelle soit inférieure à un niveau élémentaire (LSB). La figure ci contre et le raisonnement ci dessous montrent que la constante de temps nécessaire est au moins 64 fois la période du signal carré.

La valeur moyenne de la tension est kE , pendant la durée KT le condensateur reçoit donc un courant :

$$(E - kE)/R$$

la tension à ses bornes varie donc de

$$\Delta = E(1 - k)kT/RC$$

Si l'on veut que cette ondulation résiduelle soit inférieure à un LSB il faut :

$$E(1 - k)kT/RC < E/256$$

$$\text{d'où } RC > 256k(1 - k)T$$

soit : la condition la plus dure pour $k = 1/2$: $RC > 64T$ Ce qui correspond à une fréquence de coupure du filtre RC de $f = 1/2\pi RC = F/402$ A la fréquence maximale 23,5kHz la fréquence limite à la sortie du convertisseur n'est que de 60 Hz à peine.

Si l'on désire une bande passante plus importante, l'emploi d'un DAC extérieur s'impose.

