

III Premier exemple complet . Étude d'un amplificateur JFET à un étage

Nous nous proposons d'utiliser SPICE pour étudier un étage d'amplification à JFET. Cette étude va être organisée de la façon suivante :

- 1 Recherche d'un JFET disponible dans la librairie EVAL
- 2 Tracé du réseau de caractéristique de ce JFET pour définir un point de fonctionnement .
- 3 Dessin du circuit final et détermination de ses performances
 - Analyse DC
 - Analyse AC pour étude des performances en fréquence
 - Analyse fort signaux pour détermination de la distorsion .

1 Pour rechercher le JFET ouvrons d'abord **SCHEMATIC** puis :

^G ⇒ **Librairies** ⇒ **Eval.slb**

La liste des composants apparaît , sélectionnons J2N3439 puis OK .

Le composant tracé en noir suit le déplacement de la souris, à chaque click gauche une copie est placée à l'écran, pour arrêter il suffit de faire un click droit.

Un nouveau click bloque le composant qui est alors tracé en bleu.

Il est alors possible de fermer la fenêtre des librairies en actionnant le bouton Close.

Pour obtenir le schéma permettant le tracé des caractéristiques il faut maintenant associer au JFET un minimum de composants et sources, figure ci dessous.

La séquence des opérations est la suivante :

^G ⇒ **VSRC** ↓

Ne pas s'inquiéter de la fenêtre des bibliothèques qui s'ouvre automatiquement , elle se referme seule au retour chariot ↓

La source universelle VSRC apparaît sur l'écran , la déplacer avec la souris puis la mettre en place par un click gauche (CKG) , elle prend le nom V1 , la déplacer de nouveau et fixer une seconde copie par click gauche (CKG) puis click droit (CKD) pour terminer. Cette seconde source sera l'alimentation et s'appelle V2 .

Mise en place de la résistance :

^G ⇒ **R** ↓ déplacement ⇒ **^R** (pour retourner la résistance de 90°) **CKG** ⇒ **CKD**

Liaisons

^W (un crayon apparaît à l'écran)

Pour relier deux points : **CKG** sur le point de départ ⇒ déplacement ⇒ **CKR** sur le point d'arrivée

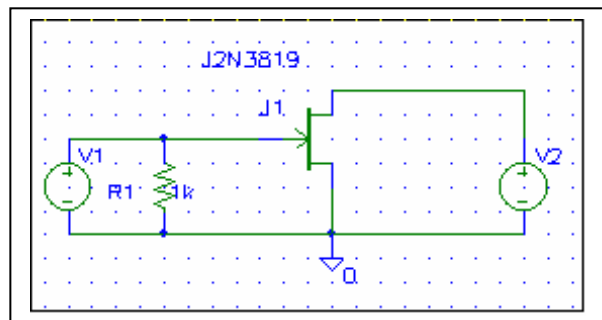
A un croisement de tracés une liaison n'est réalisée que si l'on fait un **CKG** alors un point bleu apparaît .

A la fin d'un tracé on peut reprendre la main en pressant sur la barre d'espace.

Pour terminer il faut placer la masse :

^G ⇒ **AGND** ↓ déplacement ⇒ **CKG** ⇒ **CKD**

Le dessin est terminé , il faut donner des valeurs aux sources.



Pour l'alimentation :

Cliquer sur V2 (sur le symbole pas sur le nom) et dans la fenêtre introduire DC=12V puis OK

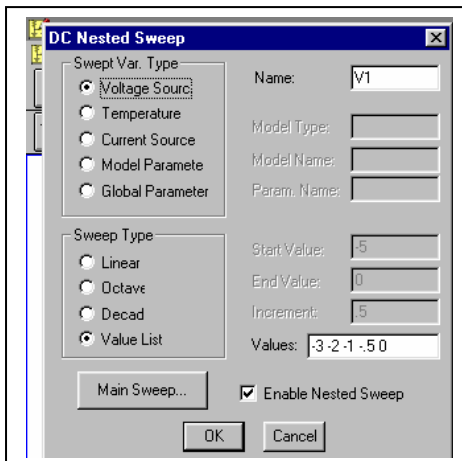
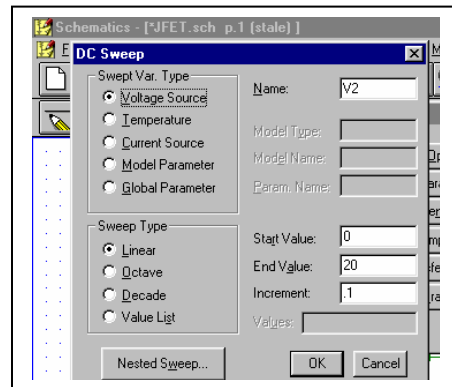
Même opération pour V1, introduire une valeur quelconque par exemple -1V .

Le réseau de caractéristiques est tracé en effectuant une double analyse DC .

Analysis ⇒ Setup ⇒ DC Sweep

Dans la fenêtre entrer le nom de la source variable V2 et son intervalle de variation 0 à 20V par pas de .1V .(ci contre) Ce sera la variable en abscisse dans le tracé final.

Cliquer alors sur **Nested Sweep** pour introduire la seconde variable , ici la tension grille c'est à dire V1.Cette fois c'est une liste de valeurs qu'il faut définir pour tracer les diverses caractéristiques .Nous avons choisi -3 -2 -1 -0;5 et 0 . Ne pas oublier de cocher **Enable Nested Sweep** .



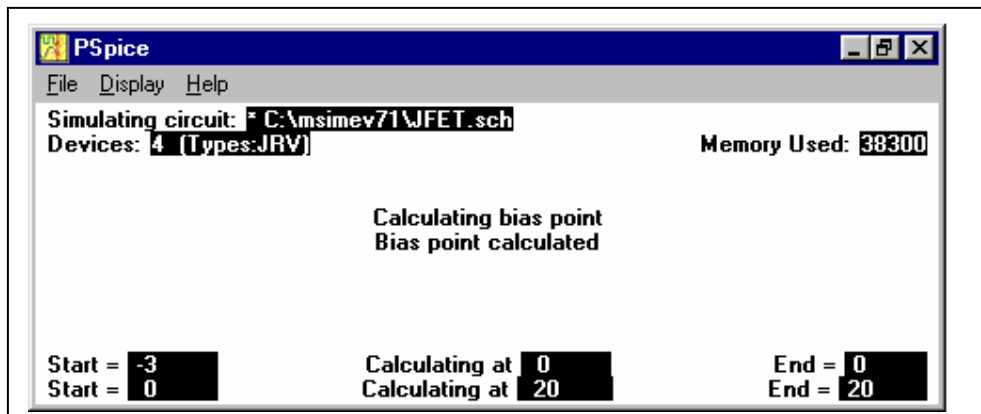
Tous les paramètres de l'analyse étant en place il faut sauver le fichier avec par exemple le nom JFET1 .

File ⇒ Enregistrer sous ⇒ JFET1 ↵

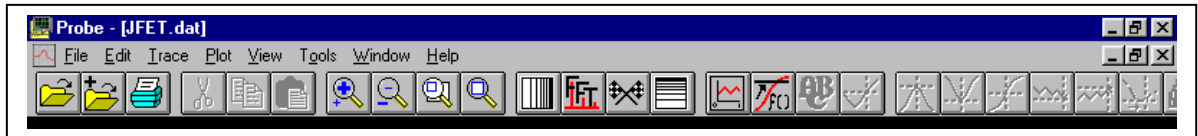
Puis lancer l'analyse :

Analysis ⇒ Simulate

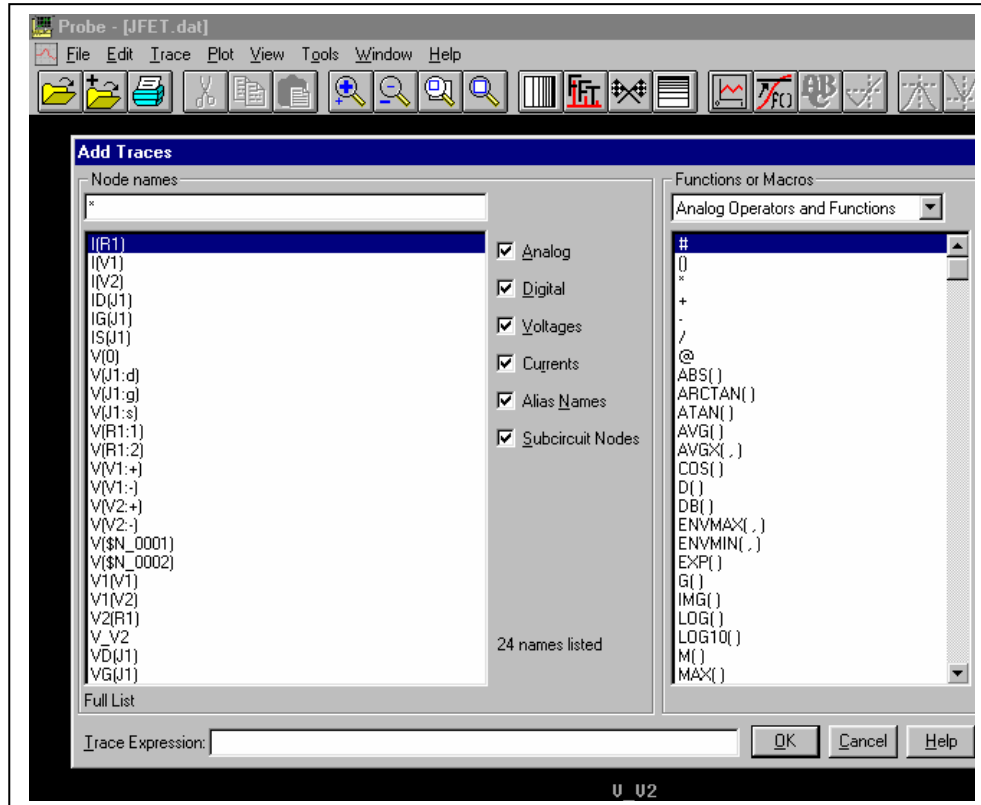
La fenêtre de SPICE s'ouvre sur laquelle , on peut suivre la progression du calcul



Lorsque ce dernier est terminé le logiciel de tracé **PROBE** est automatiquement lancé.



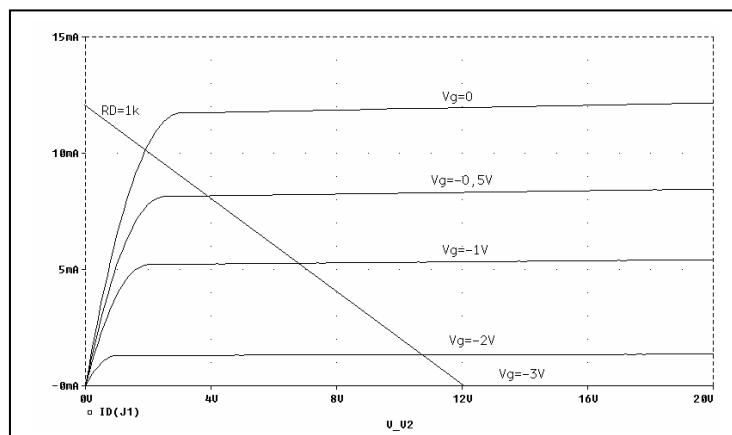
Sur la ligne de commande pointer **Trace** ⇒ **Add** Le tableau ci dessous s'ouvre. La partie gauche présente tous les points dont on peut visualiser le comportement , la partie droite les diverses opérations mathématiques possibles Dans le cas présent nous sélectionnons avec la souris ID(J1) courant drain du JFET .



Le résultat final s'affiche alors . Courbes sur fond noir . Les tensions grilles associées à chaque tracé ont été entrées après coup avec l'outil d'écriture **ABC** de PROBE

La droite de charge a été tracée en utilisant les fonctions OUTILS (**TOOLS**) puis **Label** et **Line** de la ligne de commande.

On voit sur ce premier résultat qu'avec une alimentation de 12V et une charge drain de 1k un point de fonctionnement convenable est obtenu avec $V_g = -1V$ et un courant drain voisin de 5mA .



Nous en déduisons un schéma possible ,la polarisation est obtenue par une résistance de 200Ω (car $200\Omega \times 5mA = 1V$) insérée dans le circuit de source et découplée par une capacité. Pour conserver une charge globale de 1k la résistance de drain est prise de 800Ω Le comportement en

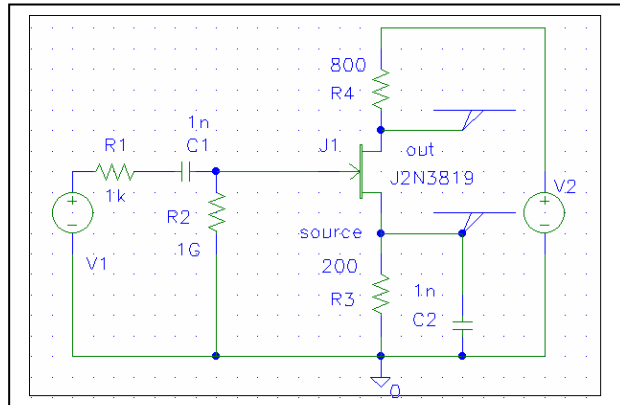
fréquence d'un montage dépend beaucoup de l'impédance interne de la source (à cause de l'impédance d'entrée qui varie avec la fréquence) , nous avons placé en série avec la source VSRC une résistance de 1k simulant cette impédance interne.

Le schéma peut maintenant être complété .

Remarques :

Une résistance R2 de 1G a été laissée en parallèle sur la source d'excitation, elle est nécessaire car PSPICE n'accepte pas de source de tension ne débitant sur rien, or le condensateur C1 bloque le continu.

Pour faciliter l'identification des nœuds importants des noms leur ont été donnés. Chaque nom est placé en cliquant 2 fois sur le fil arrivant au point considéré, ce qui ouvre la boîte de dialogue permettant de l'introduire . Pour vérifier que la polarisation est bien celle qui est attendue deux VIEWPOINT ont été placés sur le drain et la source .La valeur des tensions de repos en ces point apparaît dès qu'une analyse a été effectuée.



Le condensateur de découplage de source C2 a sa valeur par défaut 1nF , l'influence de sa valeur sur la bande passante sera étudiée par une analyse paramétrique.

La source V2 a seulement une valeur continue 12V

Pour V1 il faut prévoir , une valeur continue pour l'analyse AC , 0 par exemple, une valeur pour l'analyse AC (1V permet d'obtenir directement le gain comme nous l'avons signalé plus haut) et enfin une sinusoïde SIN(0 1 1k) pour l'étude du comportement forts signaux.

Détermination du condensateur de découplage.

On sait que pour avoir une limite inférieure de fréquence $F1=\omega/2$ due à la présence de C2 il faut que $1/C2.\omega=Résistance\ de\ sortie\ au\ niveau\ de\ la\ source.$ Pour $F1=16Hz$ soit $\omega=100$ un condensateur de 1000uF a une impédance de 10Ω , c'est donc une valeur de cet ordre qu'il faudra mettre en œuvre.

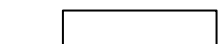
Lançons l'analyse paramétrique :

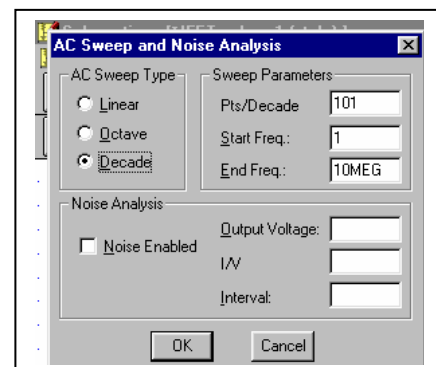
Il s'agit d'abord d'une analyse AC donc : **Analysis** ⇒ **Setup** ⇒ **AC Sweep**

L'analyse en fréquence sera effectuée entre 1Hz et 10Mhz avec 100 points par décade .

Ensuite on clique sur la valeur 1nF de C2 et l'on introduit comme valeur {Cdecoupl}.

Puis **^G PARAM**

Le dessin  apparaît

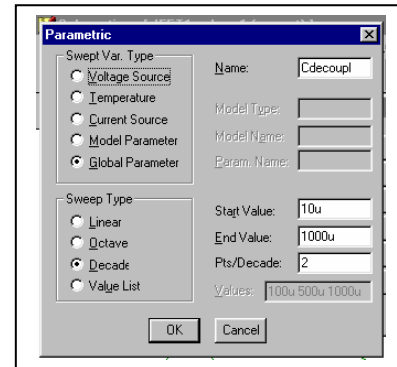


puis le mot **PARAMETERS** , cliquer dessus pour introduire les paramètres :

NAME1 = Cdecoupl
 VALUE1=100u

Analysis ⇒ Setup⇒Parametric

5 valeurs de C2 sont essayées de 10uF à 1000uF à raison de 2 par décade (soit 10 31 100 315 et 1000uF)

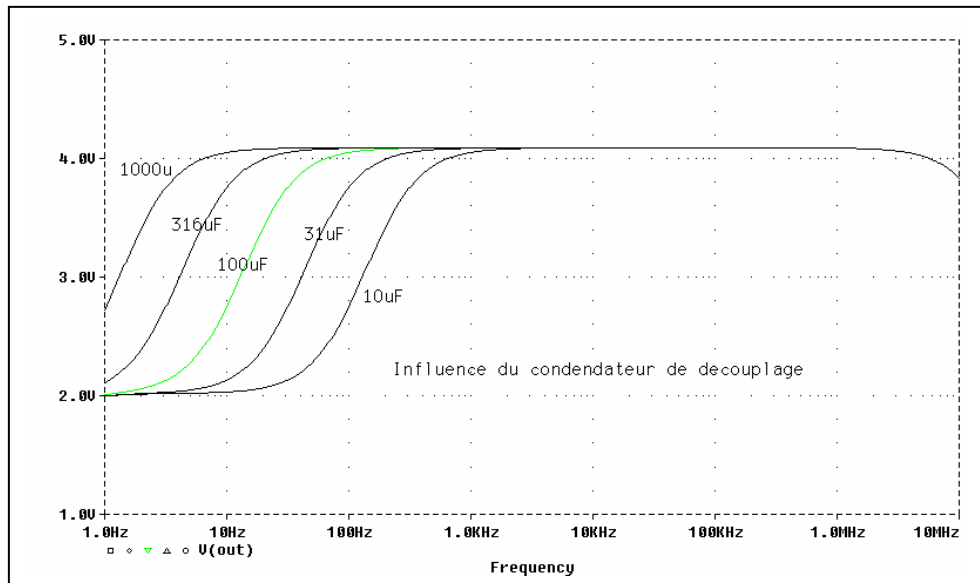


Il ne reste qu'à lancer l'analyse AC (c'est la seule qui est programmée pour le moment).

Analysis ⇒ Simulate

Et dans PROBE sélectionner le point V(out).

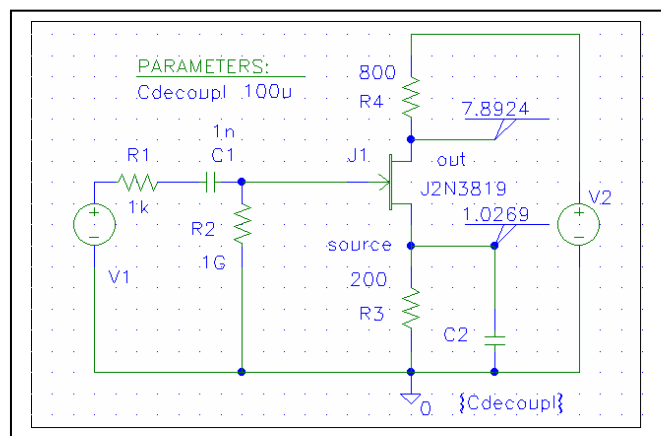
Le résultat est présenté ci contre. On voit que pour la fréquence de coupure demandée un condensateur C2 de 100uF suffit. C'est cette valeur que nous adopterons pour la suite.



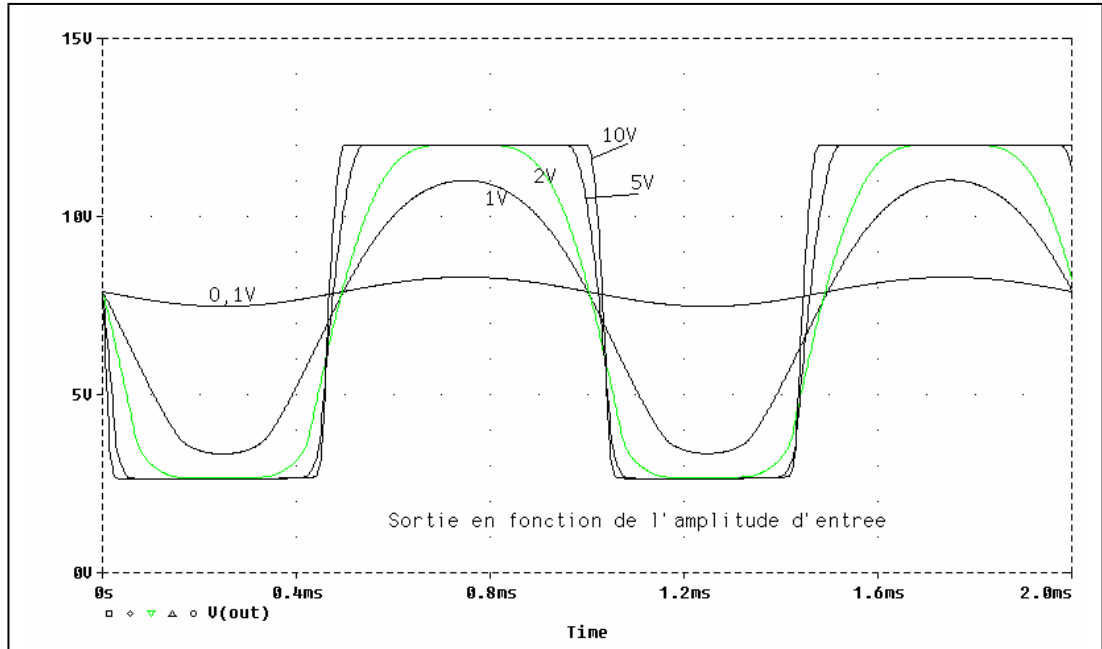
Le gain est faible mais souvent le cas avec un JFET.

Notons sur la figure les potentiels sur la source et le drain qui sont tout a fait conformes aux prévisions. (1,0269V de polarisation au lieu de 1V)

Fixons maintenant C2=100uF, supprimons l'analyse Paramétrique et passons à l'étude du comportement forts signaux.

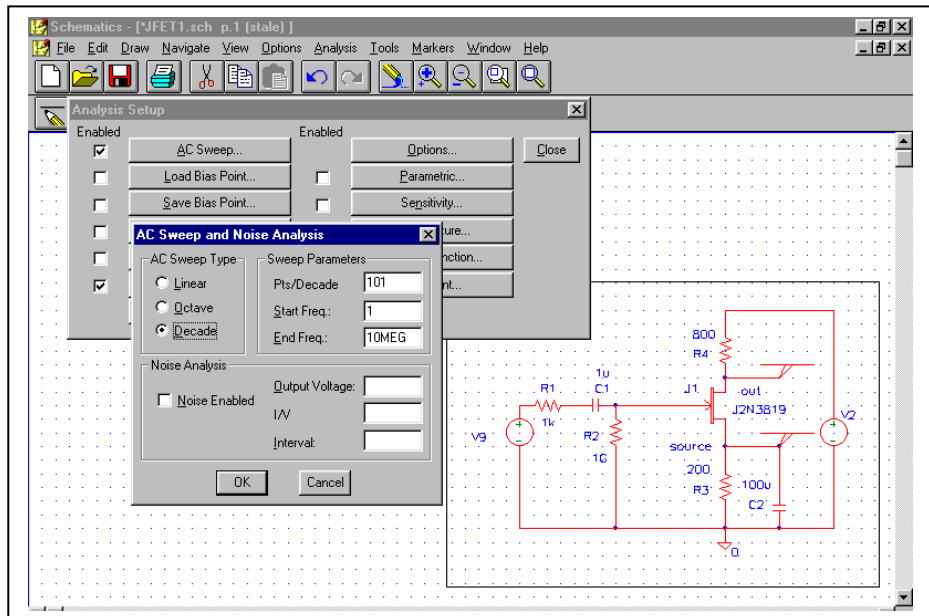


Il suffit d'appliquer exactement la même procédure que celle décrite dans la paragraphe sur l'analyse paramétrique c'est à dire remplacer la source V1 par un VSTIM dans laquelle est introduit un paramètre d'amplitude Amp . (Utilisation de Stimulus Editor)



Sur le résultat ci contre on voit que l'écrêtage devient presque symétrique pour une amplitude d'entrée de 2V et au delà.

Un dernier paramètre est intéressant pour un ampli à JFET c'est l'impédance d'entrée et son évolution en fonction de la fréquence . Pour cela on effectue simplement une analyse AC entre 1 et 10Mhz et l'on visualise avec PROBE le quotient $V_{grille}/I(C1)$.Le résultat est la valeur absolue de l'impédance , il est possible de tracer ses parties réelle et imaginaire par $R(V_{grille}/I(C1))$ et $Img(V_{grille}/I(C1))$.



On notera sur les courbes ci dessous qu'en dessous de 30Hz l'impédance d'entrée est essentiellement définie par la résistance de 1G .Ensuite elle décroît exponentiellement pour atteindre le $k\Omega$ à 10Mhz. , on remarquera la variation de la partie imaginaire entre 10 et 100Hz .(Elle est négative, l'impédance d'entrée est capacitive)

